

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-248427

(43)Date of publication of application : 27.09.1996

(51)Int.Cl.

G02F 1/1339

G02F 1/136

G09G 3/36

(21)Application number : 07-080754

(71)Applicant : SEMICONDUCTOR ENERGY LAB
CO LTD

(22)Date of filing : 13.03.1995

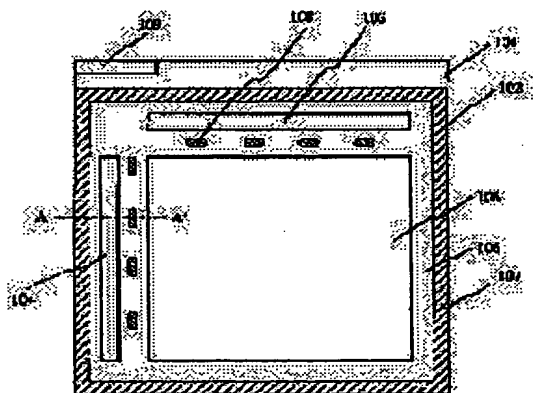
(72)Inventor : KONUMA TOSHIMITSU
TSUJI TAKAHIRO

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PURPOSE: To prevent the destruction of thin-film transistors and to improve the reliability and durability of a device by disposing columnar spacers in the regions between an active matrix circuit and peripheral driving circuits.

CONSTITUTION: The plural columnar spacers 108 are disposed apart spaced intervals in a dotted line form as a sealing material between the peripheral driving circuits, such as source driver circuit 103 and gate driver circuit 104, and the active matrix circuit. Video signals and other signals necessary for display are inputted via an external connecting terminal 109 to the peripheral driving circuits. In such a case, the substrate of the regions provided with the peripheral driving circuits is substantially free from the deformation by substrate pressing if the spacing from a sealing material 107 to the columnar spacers 108 is about several mm. As a result, the destruction of the TFTs constituting the peripheral driving circuit by the substrate pressing is prevented even if the spacers exist on the peripheral driving circuits.



LEGAL STATUS

[Date of request for examination]

13.03.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-248427

(43)公開日 平成8年(1996)9月27日

(51)Int.Cl. ⁸		識別記号	庁内整理番号	F I		技術表示箇所
G 0 2 F	1/1339	5 0 0		G 0 2 F	1/1339	5 0 0
	1/136	5 0 0			1/136	5 0 0
G 0 9 G	3/36			G 0 9 G	3/36	

審査請求 未請求 請求項の数6 F D (全 9 頁)

(21)出願番号 特願平7-80754

(22)出願日 平成7年(1995)3月13日

(71)出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72)発明者 小沼 利光

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72)発明者 辻 隆博

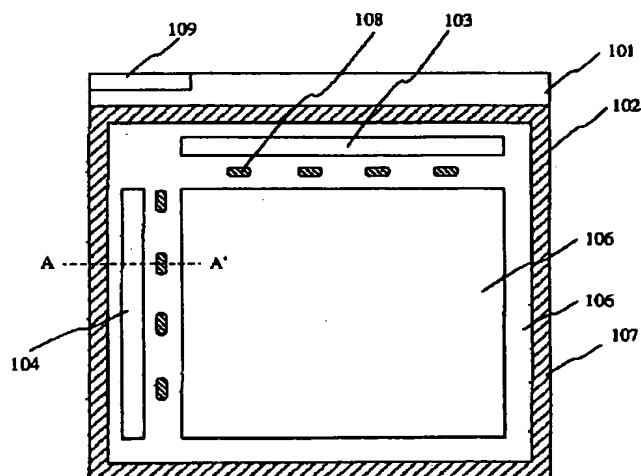
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(54)【発明の名称】 液晶表示装置

(57)【要約】

【目的】 液晶領域内にアクティブマトリクス回路と周辺駆動回路とが設けられている液晶表示装置において、基板押圧による周辺駆動回路および周辺駆動回路を構成している薄膜トランジタの破壊を防ぎ、装置の信頼性および耐久性の向上を図る。

【構成】 液晶領域内にアクティブマトリクス回路と周辺駆動回路とが設けられている液晶表示装置において、アクティブマトリクス回路と周辺駆動回路との間の領域に、柱状スペーサを設ける。



(2)

【特許請求の範囲】

【請求項1】アクティブマトリクス回路、周辺駆動回路が設けられた第1の基板と、

前記第1の基板に対向して設けられ、少なくとも、前記アクティブマトリクス回路および周辺駆動回路に対向する大きさを有する、第2の基板と、

前記第1の基板と第2の基板との間の、少なくとも前記アクティブマトリクス回路上および周辺駆動回路上に充填された、液晶材料と、を少なくとも有する液晶表示装置であって、

前記アクティブマトリクス回路と周辺駆動回路との間の領域に、柱状スペーサが設けられていることを特徴とする液晶表示装置。

【請求項2】アクティブマトリクス回路、周辺駆動回路が設けられた第1の基板と、

前記第1の基板に対向して設けられ、少なくとも、前記アクティブマトリクス回路および周辺駆動回路に対向する大きさを有する、第2の基板と、

前記第1の基板と第2の基板との間の、少なくとも前記アクティブマトリクス回路上および周辺駆動回路上に充填された、液晶材料と、を少なくとも有する液晶表示装置であって、

前記アクティブマトリクス回路と周辺駆動回路との間の領域には、複数の柱状スペーサが設けられていることを特徴とする液晶表示装置。

【請求項3】アクティブマトリクス回路、周辺駆動回路が設けられた第1の基板と、

前記第1の基板に対向して設けられ、少なくとも、前記アクティブマトリクス回路および周辺駆動回路に対向する大きさを有する、第2の基板と、

前記第1の基板と第2の基板との間の、少なくとも前記アクティブマトリクス回路上および周辺駆動回路上に充填された、液晶材料と、

前記第1の基板と第2の基板とが対向する領域の周辺部に設けられた、シール材と、を少なくとも有する液晶表示装置であって、

前記アクティブマトリクス回路と周辺駆動回路との間の領域には、複数の柱状スペーサが設けられており、前記シール材と、前記柱状スペーサは、同一材料により形成されていることを特徴とする液晶表示装置。

【請求項4】アクティブマトリクス回路、周辺駆動回路、該周辺駆動回路の冗長回路が設けられた第1の基板と、

前記第1の基板に対向して設けられ、少なくとも、前記アクティブマトリクス回路、周辺駆動回路および該周辺駆動回路の冗長回路に対向する大きさを有する、第2の基板と、

前記第1の基板と第2の基板との間の、少なくとも前記アクティブマトリクス回路上、周辺駆動回路上および該周辺駆動回路の冗長回路上に充填された、液晶材料と、

2

を少なくとも有する液晶表示装置であって、

前記アクティブマトリクス回路と、周辺駆動回路および該周辺駆動回路の冗長回路との間の領域には、柱状スペーサが設けられていることを特徴とする液晶表示装置。

【請求項5】アクティブマトリクス回路、周辺駆動回路、該周辺駆動回路の冗長回路が設けられた第1の基板と、

前記第1の基板に対向して設けられ、少なくとも、前記アクティブマトリクス回路、周辺駆動回路および該周辺駆動回路の冗長回路に対向する大きさを有する、第2の基板と、

前記第1の基板と第2の基板との間の、少なくとも前記アクティブマトリクス回路上、周辺駆動回路上および該周辺駆動回路の冗長回路上に充填された、液晶材料と、を少なくとも有する液晶表示装置であって、

前記アクティブマトリクス回路と、周辺駆動回路および該周辺駆動回路の冗長回路との間の領域には、複数の柱状スペーサが設けられていることを特徴とする液晶表示装置。

【請求項6】アクティブマトリクス回路、周辺駆動回路、該周辺駆動回路の冗長回路が設けられた第1の基板と、

前記第1の基板に対向して設けられ、少なくとも、前記アクティブマトリクス回路、周辺駆動回路および該周辺駆動回路の冗長回路に対向する大きさを有する、第2の基板と、

前記第1の基板と第2の基板との間の、少なくとも前記アクティブマトリクス回路上、周辺駆動回路上および該周辺駆動回路の冗長回路上に充填された、液晶材料と、

前記第1の基板と第2の基板とが対向する領域の周辺部に設けられた、シール材と、を少なくとも有する液晶表示装置であって、

前記アクティブマトリクス回路と、周辺駆動回路および該周辺駆動回路の冗長回路との間の領域には、複数の柱状スペーサが設けられており、前記シール材と、前記柱状スペーサは、同一材料により形成されていることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、アクティブマトリクス駆動が行われる液晶表示装置の、信頼性および耐久性向上のための構成に関する。

【0002】

【従来の技術】図2に、従来の液晶表示装置の例を示す。従来のアクティブマトリクス駆動型液晶表示装置は、図2に示すように、第1の基板201上に設けられたアクティブマトリクス回路205と、一面に対向電極が設けられた第2の基板（対向基板）202とが、第1の基板201上に散布されたスペーサ（図示せず）を介して、対向して設けられ、両基板間に液晶材料206が

3

充填され、該液晶材料は、シール材207により封止されている。アクティブマトリクス回路205は、薄膜トランジスタ(TFT)が接続された画素電極が、複数マトリクス状に配置されている。第1の基板201上の、第2の基板205と対向する領域の外側には、アクティブマトリクス回路205を駆動するための周辺駆動回路として、ソースドライバー回路203、ゲイトドライバー回路204が設けられている。

【0003】このような液晶表示装置においては、周辺駆動回路への水分やゴミ、不純物等の進入を防止するために、樹脂や、SiN(窒化珪素)系の物質からなる保護膜208を、周辺駆動回路を構成する薄膜トランジスタ上に形成する必要がある。しかしながら、このような保護膜を用いた場合、該保護膜による応力が、周辺駆動回路を構成する薄膜トランジスタに対して作用して、薄膜トランジスタを構成するシリコン部において再結合中心が劣化し、薄膜トランジスタのスレッショールド電圧などの諸特性を変化させてしまった。

【0004】このような問題を解決するために、図3に示す構造が考えられている。図3は、従来の液晶表示装置の他の構成を示す。図3において、第1の基板301上に設けられたアクティブマトリクス回路302、ソースドライバー回路303、ゲイトドライバー回路304と、一面に対向電極が設けられた第2の基板(対向基板)305とが、第1の基板301上に散布されたスペーサ(図示せず)を介して対向して設けられ、両基板間に液晶材料306が充填され、該液晶材料は、シール材307により封止されている。図3の構成は、アクティブマトリクス回路だけでなく、周辺駆動回路であるソースドライバー回路やゲイトドライバー回路をも、対向基板と対向させ、液晶材料に接するようにし、前述のような保護膜は設けられない。すなわち、液晶材料により、周辺駆動回路を構成する薄膜トランジスタが保護されている。この構成は、例えば、特開平5-66413号公報に示されている。

【0005】

【従来技術の問題点】液晶表示装置は、2枚の基板間隔を維持するために、基板間に球状や棒状、角状などの形状を有し、シリカ等の硬質材料よりなるスペーサが均一に散布されている。スペーサは、基板間隔と同じ大きさの直径を有し、その大きさは、ネマチック液晶を用いた液晶表示装置においては、 $3\mu\text{m}\sim 8\mu\text{m}$ 、スメクチック液晶を用いた液晶表示装置においては、 $1\mu\text{m}\sim 4\mu\text{m}$ 程度である。また、その数は、1つの画素の大きさを、 $10\mu\text{m}\square\sim 100\mu\text{m}\square$ として、1画素あたり、50個 \sim 1000個程度である。ところで、アクティブマトリクス型の液晶表示装置において、アクティブマトリクス回路全体の面積のうち、画素電極がその殆どのを占めている。また、画素スイッチング用の薄膜トランジスタは、多い場合でも各画素電極に2つ程度しか設

(3)

4

けられておらず、その大きさも、画素電極に比較してはるかに小さい。したがって、アクティブマトリクス回路全体のうち、ため、スイッチング用の薄膜トランジスタが占める面積は、極めて僅かである。

【0006】一方、ソースドライバー回路や、ゲイトドライバー回路といった、周辺駆動回路は、多数の薄膜トランジスタが極めて密に設けられている。したがって、図2の液晶表示装置のように、液晶領域(液晶材料が充填されている領域)の外側に周辺駆動回路が設けられている場合には、何ら問題はなかったのであるが、図3の、液晶領域内に周辺駆動回路が設けられている場合において、基板間のスペーサにより、周辺駆動回路が破壊されるてしまうことがあった。

【0007】図4に、図3のB-B'断面図を示す。図3の液晶表示装置の場合、図4に示すように、基板が外力401により押圧された場合に、基板が変形し、周辺駆動回路(ここではゲイトドライバー回路304)上に散布されていたスペーサが、周辺駆動回路を構成している薄膜トランジスタを破壊してしまうことあった。その結果、周辺駆動回路が正常に動作せず、表示に線欠陥、点欠陥が生じたり、表示が不可能となってしまうことがあり、装置の信頼性、耐久性を低下させていた。また、仮りに、周辺駆動回路の上のスペーサを設けない場合、こんどは、基板の押圧により基板が変形するために、基板に強い押圧が加わった場合、基板に潰されて周辺駆動回路が破壊されてしまう恐れがあった。

【0008】

【発明が解決しようとする課題】本発明は、液晶領域内にアクティブマトリクス回路と周辺駆動回路とが設けられている液晶表示装置において、基板押圧による周辺駆動回路および周辺駆動回路を構成している薄膜トランジスタの破壊を防ぎ、装置の信頼性および耐久性の向上を図ることを目的とする。

【0009】

【課題を解決するための手段】上記課題を解決するために、本発明の構成の一つは、アクティブマトリクス回路、周辺駆動回路が設けられた第1の基板と、前記第1の基板に対向して設けられ、少なくとも、前記アクティブマトリクス回路および周辺駆動回路に対向する大きさを有する、第2の基板と、前記第1の基板と第2の基板との間の、少なくとも前記アクティブマトリクス回路上および周辺駆動回路上に充填された、液晶材料と、を少なくとも有する液晶表示装置であって、前記アクティブマトリクス回路と周辺駆動回路との間の領域に、柱状スペーサが設けられていることを特徴とする液晶表示装置である。

【0010】本発明の他の構成の一つは、アクティブマトリクス回路、周辺駆動回路が設けられた第1の基板と、前記第1の基板に対向して設けられ、少なくとも、前記アクティブマトリクス回路および周辺駆動回路に対

(4)

5

向する大きさを有する、第2の基板と、前記第1の基板と第2の基板との間の、少なくとも前記アクティブマトリクス回路上および周辺駆動回路上に充填された、液晶材料と、を少なくとも有する液晶表示装置であって、前記アクティブマトリクス回路と周辺駆動回路との間の領域には、複数の柱状スペーサが設けられていることを特徴とする液晶表示装置である。

【0011】本発明の他の構成の一つは、アクティブマトリクス回路、周辺駆動回路が設けられた第1の基板と、前記第1の基板に対向して設けられ、少なくとも、前記アクティブマトリクス回路および周辺駆動回路に対向する大きさを有する、第2の基板と、前記第1の基板と第2の基板との間の、少なくとも前記アクティブマトリクス回路上および周辺駆動回路上に充填された、液晶材料と、前記第1の基板と第2の基板とが対向する領域の周辺部に設けられた、シール材と、を少なくとも有する液晶表示装置であって、前記アクティブマトリクス回路と周辺駆動回路との間の領域には、複数の柱状スペーサが設けられており、前記シール材と、前記柱状スペーサは、同一材料により形成されていることを特徴とする液晶表示装置である。

【0012】本発明の他の構成の一つは、アクティブマトリクス回路、周辺駆動回路、該周辺駆動回路の冗長回路が設けられた第1の基板と、前記第1の基板に対向して設けられ、少なくとも、前記アクティブマトリクス回路、周辺駆動回路および該周辺駆動回路の冗長回路に対向する大きさを有する、第2の基板と、前記第1の基板と第2の基板との間の、少なくとも前記アクティブマトリクス回路上、周辺駆動回路上および該周辺駆動回路の冗長回路上に充填された、液晶材料と、を少なくとも有する液晶表示装置であって、前記アクティブマトリクス回路と、周辺駆動回路および該周辺駆動回路の冗長回路との間の領域には、柱状スペーサが設けられていることを特徴とする液晶表示装置である。

【0013】本発明の他の構成の一つは、アクティブマトリクス回路、周辺駆動回路、該周辺駆動回路の冗長回路が設けられた第1の基板と、前記第1の基板に対向して設けられ、少なくとも、前記アクティブマトリクス回路、周辺駆動回路および該周辺駆動回路の冗長回路に対向する大きさを有する、第2の基板と、前記第1の基板と第2の基板との間の、少なくとも前記アクティブマトリクス回路上、周辺駆動回路上および該周辺駆動回路の冗長回路上に充填された、液晶材料と、を少なくとも有する液晶表示装置であって、前記アクティブマトリクス回路と、周辺駆動回路および該周辺駆動回路の冗長回路との間の領域には、複数の柱状スペーサが設けられていることを特徴とする液晶表示装置である。

【0014】本発明の他の構成の一つは、アクティブマトリクス回路、周辺駆動回路、該周辺駆動回路の冗長回路が設けられた第1の基板と、前記第1の基板に対向し

6

て設けられ、少なくとも、前記アクティブマトリクス回路、周辺駆動回路および該周辺駆動回路の冗長回路に対向する大きさを有する、第2の基板と、前記第1の基板と第2の基板との間の、少なくとも前記アクティブマトリクス回路上、周辺駆動回路上および該周辺駆動回路の冗長回路上に充填された、液晶材料と、前記第1の基板と第2の基板とが対向する領域の周辺部に設けられた、シール材と、を少なくとも有する液晶表示装置であって、前記アクティブマトリクス回路と、周辺駆動回路および該周辺駆動回路の冗長回路との間の領域には、複数の柱状スペーサが設けられており、前記シール材と、前記柱状スペーサは、同一材料により形成されていることを特徴とする液晶表示装置である。

【0015】

【作用】本発明は、液晶領域内に、アクティブマトリクス回路と、周辺駆動回路とが設けられた液晶表示装置において、アクティブマトリクス回路と、その周辺に設けられたソースドライバー回路やゲイトドライバー回路といった周辺駆動回路、あるいはその冗長回路との間に、柱状スペーサ、特に複数の柱状スペーサを設けることで、基板押圧による、周辺駆動回路を構成する薄膜トランジスタの破壊を防ぐものである。

【0016】図1に、本発明による液晶表示装置の例を示す。図1において、ガラスやプラスチック等の第1の基板101に対向して、対向基板である第2の基板102（図に明示されていない）が、対向電極を内側にして設けられている。第1の基板101上には、アクティブマトリクス回路105と、該回路を駆動するための周辺駆動回路として、ソースドライバー回路103、ゲイトドライバー回路104とが設けられている。第1の基板101と、第2の基板102の間には、シール材107が設けられ、図示しない液晶注入口より注入された、液晶材料106が充填されている。ソースドライバー回路103、ゲイトドライバー回路104といった周辺駆動回路と、アクティブマトリクス回路105との間には、シール材として、複数の柱状スペーサ108が、間隔を開けて、点線状に設けられている。ビデオ信号その他表示に必要な信号は、外部接続端子109を介して、周辺駆動回路へ入力される。

【0017】図6に、図1のA-A'断面図を示す。図1、図6に示すように、ゲイトドライバー回路104と、アクティブマトリクス回路105との間に、柱状スペーサ108が設けられている。また、第1の基板101と第2の基板102の間には、球状のスペーサ602が、均一に散布されて、設けられている。本発明は、柱状スペーサ108を設けることで、外力601の押圧による基板の変形を抑え、ひいては基板押圧時の、スペーサ602による周辺駆動回路を防ぐことができるものである。

【0018】アクティブマトリクス回路と同一基板上に

(5)

7

設けられた、ソースドライバー回路やゲイトドライバー回路は、その幅が数mm以下程度であるので、液晶材料封止用のシール材107から柱状スペーサ108までのドライバー回路を挟んだ間隔は、それと同程度である。また、対向基板としては、ガラスや硬いプラスチックの板が用いられ、基板の厚さは、通常0.7~1.1mm程度である。したがって、シール材107から柱状スペーサ108までの間隔が、数mm程度であれば、周辺駆動回路が設けられた領域の基板は、基板押圧による変形は、ほとんどない。よって、周辺駆動回路上にスペーサが存在しても、周辺駆動回路を構成する薄膜トランジスタの、基板押圧による破壊を防ぐことができる。また、何らかの方法によって、周辺駆動回路上にスペーサを存在させない、または基板間にスペーサを存在させない構成とした場合においても、柱状スペーサにより、周辺駆動回路が設けられている領域の基板間隔が維持される

【0019】図1において、柱状スペーサ108は、間隔を開けて複数個設けられているが、これは、図示されていない注入口より液晶材料を注入する際に、周辺駆動回路が設けられている領域にも、十分に液晶材料が充填できるようにするためである。また、柱状スペーサ108は、基板間隔を維持し、液晶材料の注入を妨げないものであれば、その数や大きさ、形状、材質は、任意である。必ずしも複数個とする必要もない。大きさは、少なくとも基板間に散布されているスペーサの直径より大きい、幅、奥行きを有している必要がある。また、その形状は、個々に分離した柱状のみでなく、連続した壁状であってもよい。代表的には、図1に示すような点線状に、アクティブマトリクス回路と周辺駆動回路との間に、数個~数100個設け、個々の柱状スペーサの大きさは、幅、奥行きそれぞれ、0.1~数mm程度である。材質としては、樹脂や、酸化珪素等の無機膜等が、主として用いられる。柱状スペーサの配置や大きさを、アクティブマトリクス回路による表示を妨げないようにすることはいうまでもない。

【0020】また、柱状スペーサ108を、シール材107と同一材料により設けてもよい。このようにすると、スクリーン印刷法等により、柱状スペーサ108を、シール材107と同時に形成することができ、作製工程を簡略化できる。加えて、柱状スペーサを、双方の基板に対し接着させることができるため、液晶表示装置の強度を向上させ、基板変形を、より防ぐことが可能となる。

【0021】以上のように、本発明は、液晶領域内に周辺駆動回路が設けられた液晶表示装置において、基板の押圧による、周辺駆動回路の破壊を防ぐことができ、かつ基板間隔を保つことができる。ひいては、液晶表示装置の信頼性および耐久性を向上させることができる。以下に、本発明の実施例を示す。

8

【0022】

【実施例】

【実施例1】実施例1において、図1に示すアクティブマトリクス回路および周辺駆動回路を有する液晶表示装置を得る作製工程について、図5を用いて説明する。図5に、実施例1の作製工程を示す。図5において、図の左側に周辺駆動回路のTFTの作製工程を、右側にアクティブマトリクス回路のTFTの作製工程を、それぞれ示す。まず、石英基板またはガラス基板501上に、下地酸化膜502として厚さ1000Å~3000Åの酸化珪素膜が形成される。この酸化珪素膜の形成方法としては、酸素雰囲気中でのスパッタ法やプラズマCVD法を用いればよい。

【0023】次に、プラズマCVD法やLPCVD法によって、アモルファスもしくは多結晶のシリコン膜が、300Å~1500Å、好ましくは500Å~1000Å形成される。そして、500℃以上、好ましくは、700℃~950℃の温度で熱アニールをおこない、シリコン膜が結晶化される。熱アニールによって結晶化させたのち、光アニールをおこなって、さらに結晶性を高めてもよい。また、熱アニールによる結晶化の際に、特開平6-244103号公報、同6-244104号公報に記述されているように、ニッケル等のシリコンの結晶化を促進させる元素（触媒元素）を添加してもよい。

【0024】次に、シリコン膜をエッチング処理して、島状の周辺駆動回路のTFTの活性層503（Pチャネル型TFT用）、504（Nチャネル型TFT用）とマトリクス回路のTFT（画素TFT）の活性層505が形成される。さらに、酸素雰囲気中でのスパッタ法によって、厚さ500~2000Åの酸化珪素のゲイト絶縁膜506が形成される。ゲイト絶縁膜の形成方法としては、プラズマCVD法を用いてもよい。プラズマCVD法によって酸化珪素膜を形成する場合には、原料ガスとして、一酸化二窒素（N₂O）もしくは酸素（O₂）とモンシラン（SiH₄）を用いることが好ましい。

【0025】その後、厚さ2000Å~5μm、好ましくは2000Å~6000Åの多結晶シリコン膜（導電性を高めるため微量の燐を含有する）が、LPCVD法によって基板全面に形成される。そして、これをエッチングして、ゲイト電極507、508、509を形成する。（図5（A））

その後、イオンドーピング法によって、全ての島状活性層に、ゲイト電極をマスクとして自己整合的に、フォスフィン（PH₃）をドーピングガスとして、燐が注入される。ドーピング量は1×10¹²~5×10¹³原子/cm²とする。この結果、弱いN型領域510、511、512が形成される。（図5（B））

【0026】次に、Pチャネル型TFTの活性層503を覆うフォトリソグレイのマスク513、および、画素TFTの活性層505のうち、ゲイト電極に平行にゲイト

9

電極509の端から3 μ m離れた部分までを覆うフォトレジストのマスク514が形成される。そして、再び、イオンドーピング法によって、フォスフィンをドーピングガスとして磷が注入される。ドーズ量は $1 \times 10^{14} \sim 5 \times 10^{15}$ 原子/cm²とする。この結果、強いN型領域(ソース/ドレイン)515、516が形成される。画素TFTの活性層505の弱いN型領域512のうち、マスク514に覆われていた領域517は、今回のドーピングでは磷が注入されないで、弱いN型のままとなる。(図5(C))

【0027】次に、Nチャネル型TFTの活性層504、505をフォトレジストのマスク518で覆い、ジボラン(B₂H₆)をドーピングガスとして、イオンドーピング法により、島状領域503に硼素が注入される。ドーズ量は $5 \times 10^{14} \sim 8 \times 10^{15}$ 原子/cm²とする。このドーピングでは、硼素のドーズ量が図5

(C)における磷のドーズ量を上回るため、先に形成されていた弱いN型領域510は強いP型領域519に反転する。以上のドーピングにより、強いN型領域(ソース/ドレイン)515、516、強いP型領域(ソース/ドレイン)519、弱いN型領域(低濃度不純物領域)517が形成される。本実施例においては、低濃度不純物領域517の幅xは、約3 μ mとする。(図5(D))

【0028】その後、450 \sim 850 $^{\circ}$ Cで0.5 \sim 3時間の熱アニールを施すことにより、ドーピングによるダメージを回復せしめ、ドーピング不純物を活性化、シリコンの結晶性が回復される。その後、全面に層間絶縁膜520として、プラズマCVD法によって酸化珪素膜が、厚さ3000 \AA \sim 6000 \AA に形成される。この層間絶縁膜は、窒化珪素膜あるいは酸化珪素膜と窒化珪素膜の多層膜であってもよい。そして、層間絶縁膜520がウェットエッチング法によってエッチング処理され、ソース/ドレインにコンタクトホールが形成される。

【0029】そして、スパッタ法によって、厚さ2000 \AA \sim 6000 \AA のチタン膜を形成し、これがエッチング処理され、周辺回路の電極・配線521、522、523および画素TFTの電極・配線524、525が形成される。さらに、プラズマCVD法によって、厚さ1000 \AA \sim 3000 \AA の窒化珪素膜526が、パッシベーション膜として形成され、これをエッチングして、画素TFTの電極525に達するコンタクトホールが形成される。最後に、スパッタ法で成膜した厚さ500 \AA \sim 1500 \AA のITO(インディウム錫酸化物)膜がエッチング処理され、画素電極527が形成される。このようにして、周辺論理回路とアクティブマトリクス回路が、同一基板上に形成される。(図5(E))

【0030】次に、アクティブマトリクス表示装置の組立工程を以下に説明する。TFT基板・カラーフィルタ基板は、各々表面処理に用いられたエッチング液、レジ

(6)

10

スト剥離液等の各種薬品が十分に洗浄される。次に配向膜が、カラーフィルタ基板、及びTFT基板に付着される。配向膜材料には、ブチルセロソルブかN-メチルピロリドンといった溶媒に、溶媒の約10重量%のポリイミドを溶解したものが用いられる。そして、TFT基板・カラーフィルタ基板の両基板に付着した配向膜を加熱・硬化(ベーク)させる。その次に、配向膜の付着したガラス基板表面を毛足の長さ2 \sim 3mmのパフ布(レイヨン・ナイロン等の繊維)で一定方向に擦り、微細な溝を作るラビング工程が行われる。

【0031】その後、TFT基板、もしくはカラーフィルタ基板のいずれかに、ポリマー系・ガラス系・シリカ系等の球のスペーサが散布される。スペーサ散布の方式としては、純水・アルコール等の溶媒にスペーサを混ぜ、ガラス基板上に散布するウェット方式と、溶媒を一切使用せずスペーサを散布するドライ方式がある。ここではドライ式を用いた。

【0032】その次に、柱状スペーサ、およびTFT基板の外枠に設けられるシール材となる樹脂が塗布される。シール材および柱状スペーサの材料は、ここでは、エポキシ樹脂とフェノール硬化剤をエチルセロソルブの溶媒に溶かしたものが使用される。他に、アクリル系の樹脂を用いてもよい。また熱硬化型でも紫外線硬化型であってもよい。スクリーン印刷法によって、TFT基板またはカラーフィルタ上に、シール材と柱状スペーサが塗布形成される。柱状スペーサは、周辺駆動回路と、アクティブマトリクス回路の間に、ほぼ直線状に、複数個、間隔を開けて設けられる。間隔を開けるのは、柱状スペーサによって、周辺駆動回路部分への液晶材料の充填が妨げられないようにするためである。

【0033】シール材、および柱状スペーサが設けられたのち、2枚のガラス基板が貼り合わせられる。貼り合わせ、硬化の方法としては、約160 $^{\circ}$ Cの高温プレスによって、約3時間で封止材および柱状スペーサを硬化する、加熱硬化方式とした。このようにして、TFT基板とカラーフィルタ基板を貼り合わせて形成されたアクティブマトリクス表示装置の、液晶注入口より液晶材料が注入され、その後、エポキシ系樹脂で液晶注入口が封止される。以上のようにして、アクティブマトリクス型の液晶表示装置が作製される。本実施例では、シール材と、柱状スペーサの形成を、同時に行ったが、別々に行ってもよい。

【0034】以上のようにして、図1に示す上面図を有する液晶表示装置を得ることができた。本実施例で作製した液晶表示装置は、周辺駆動回路も液晶領域内に設けられているため、周辺駆動回路の上面にも液晶材料が存在している。このため、周辺駆動回路の上に、従来の応力の大きい保護膜を設けなくても、周辺駆動回路への不純物や水分の侵入を防ぐことができた。さらに、液晶表示装置は、周辺駆動回路が設けられている領域の基板を

(7)

11

押圧しても、何ら問題なく動作をし続けることができた。このように、極めて信頼性および耐久性の高い液晶表示装置を得ることができた。

【0035】〔実施例2〕実施例2は、実施例1の液晶表示装置において、周辺駆動回路を冗長構成にした例を示す。実施例2の液晶表示装置は、周辺駆動回路を冗長構成とし、アクティブマトリクス回路と、冗長側の周辺駆動回路との間にも、柱状スペーサを設けた以外は、実施例1と、構成、作製工程とも同じである。図7に、実施例2における液晶表示装置の上面図を示す。図7において、ガラスやプラスチック等の基板701に対向して、対向基板702（図に明示されていない）が対向電極を内側にして設けられている。基板701上には、アクティブマトリクス回路705と、該回路を駆動するための周辺駆動回路として、ソースドライバー回路703、ゲイトドライバー回路704と、ソースドライバー回路の冗長回路703'、ゲイトドライバー回路の冗長回路704'とが設けられている。基板701、702の間には、液晶材料706が充填され、シール材707により封止されている。

【0036】ソースドライバー回路703、ゲイトドライバー回路704等の周辺駆動回路、およびその冗長回路703'、704'と、アクティブマトリクス回路705との間には、複数の柱状スペーサ708が、間隔を開けて設けられている。ビデオ信号その他表示に必要な信号は、外部接続端子709を介して、周辺駆動回路へ入力される。冗長の周辺駆動回路703'、704'は、周辺駆動回路703、704のいずれかまたは双方に不良が発生した場合に利用される。

【0037】図7に示す液晶表示装置は、一対の基板間に、必要とする回路がすべて収められており、それら回路の全てが液晶材料により封止、保護されている。それに加えて、図7に示す液晶表示装置は、周辺駆動回路およびその冗長回路が設けられている領域の基板を押圧しても、何ら問題なく動作をし続けることができた。したがって、極めて高い信頼性および耐久性を得ることができた。

【0038】実施例2においては、柱状スペーサを、アクティブマトリクス回路の周りに設けたが、周辺駆動回路上、およびアクティブマトリクス回路上に、液晶材料を充填することができれば、アクティブマトリクス回路をほぼ取り囲むように、壁状のスペーサを設けてもよい。

【0039】実施例2で作製した液晶表示装置の、周辺駆動回路の幅は、数mm程度である。したがって、実際に液晶表示が行われる領域の周囲に、数mm程度の縁が存在するだけで、外部出力端子を除けば、外見上一対の基板で構成されるという極めてシンプルな外観とする事ができた。

【0040】

12

【発明の効果】本発明により、周辺駆動回路の耐汚染性、耐湿性を高め、外観をシンプルにすることのできる、周辺駆動回路をも液晶領域に設けられた液晶表示装置において、基板の押圧による、周辺駆動回路の破壊を防ぐことができ、かつ基板間隔を保つことができた。ひいては、液晶表示装置の信頼性、耐久性を、大きく向上させることができた。

【図面の簡単な説明】

【図1】 本発明による液晶表示装置の例を示す図

【図2】 従来の液晶表示装置の例を示す図

【図3】 従来の液晶表示装置の他の構成を示す図

【図4】 図3のB-B'断面図を示す図

【図5】 実施例1の作製工程を示す図

【図6】 図1のA-A'断面図を示す図

【図7】 実施例2における液晶表示装置の上面図。

【符号の説明】

101、201、301、701	第1の基板
102、202、302、702	第2の基板（対向基板）
103、203、303、703	ソースドライバー回路
104、204、304、704	ゲイトドライバー回路
105、205、305、705	アクティブマトリクス回路
106、206、306、706	液晶材料
107、207、307、707	シール材
108、708	柱状スペーサ
109、709	外部接続端子
208	保護膜
401、601	外力
402、602	スペーサ
501	基板
502	下地膜（酸化珪素）
503、504、505	活性層（シリコン）
506	ゲイト絶縁膜（酸化珪素）
507、508、509	ゲイト絶縁膜・ゲイト線
510、511、512	弱いN型領域
513、514	フォトリソのマスク
515、516	強いN型領域（ソース／ドレイン）
517	低濃度不純物領域
518	フォトリソのマスク
519	強いP型領域（ソ

(8)

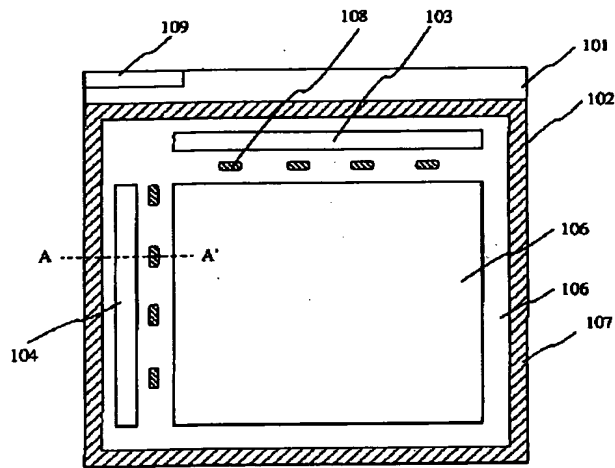
ース/ドレイン)
520
珪素)
521~525

層間絶縁膜(酸化
金属配線・電極

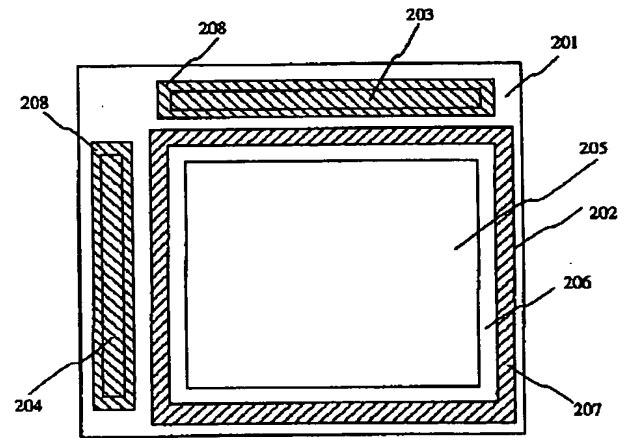
526
膜
527
O)

パッシベーション
画素電極(IT
O)

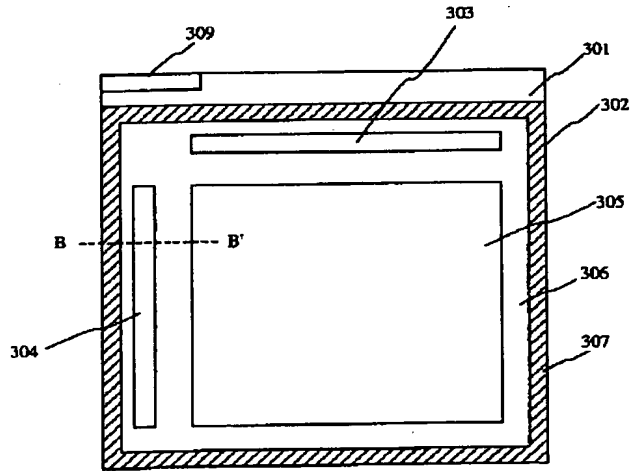
【図1】



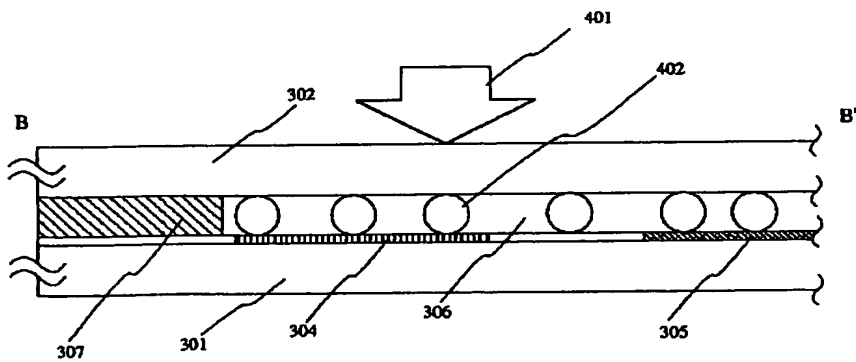
【図2】



【図3】

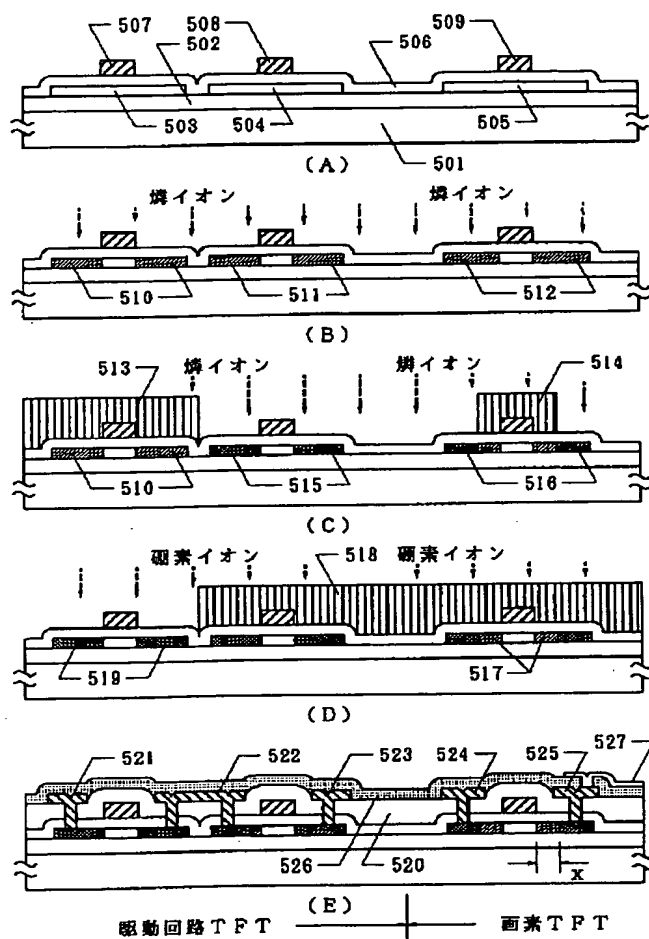


【図4】

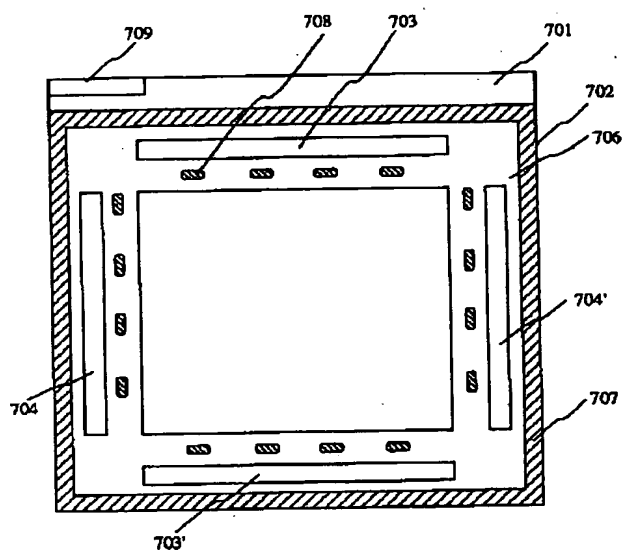


(9)

【図 5】



【图 7】



【図 6】

